

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264785

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H01L 29/78
H01L 21/3205
H01L 21/8234
H01L 27/088

(21)Application number : 07-353915

(71)Applicant : SILICONIX INC

(22)Date of filing : 28.12.1995

(72)Inventor : WILLIAMS RICHARD K

(30)Priority

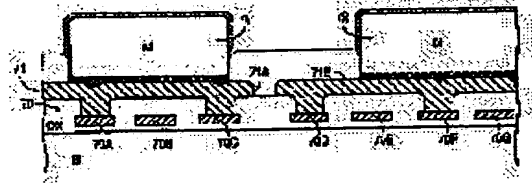
Priority number : 94 367388 Priority date : 30.12.1994 Priority country : US

(54) INTEGRATED CIRCUIT DIE ITS AND MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To make small the resistance of an inner bus and other conductive path by a method wherein a channel or a groove in longitudinal direction is formed on the conductive path of the bus and other thin film by etching a passivation layer, and a metal strap layer is formed on the thin film by non-electrolytic plating.

SOLUTION: The first metal layer 70 contains conductive lines 70A to 70G. The second metal layer 71 contains buses 71A and 71B. The bus 71A is connected to the lines 70A and 70C by a bias. The bus 71B is connected to the lines 70D and 70F. A metal strap layer 72 is formed by plating on the upper surface of the buses 71A and 71B. The pitch of the line of the first metal layer is completely cut off from a power bus wiring rule. As resistance can be made small by forming a thick metal layer only on the part where the second metal line is formed in wide line width, the second thin metal layer, having a narrow interval between lines, can be used.



LEGAL STATUS

[Date of request for examination] 14.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平8-264785

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/78	6 5 2 M
21/3205			21/88	B
21/8234				M
27/088			27/08	1 0 2 E

審査請求 未請求 請求項の数57 F D (全 19 頁)

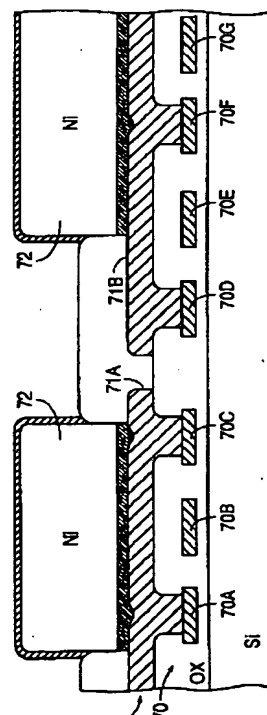
(21) 出願番号	特願平7-353915	(71) 出願人	591077450 シリコニックス・インコーポレイテッド S I L I C O N I X I N C O R P O R A T E D アメリカ合衆国カリフォルニア州95054・ サンタクララ・ローレルウッドロード 2201
(22) 出願日	平成7年(1995)12月28日	(72) 発明者	リチャード・ケイ・ウィリアムズ アメリカ合衆国カリフォルニア州95014・ クーベルティアーノ・ノーウィックアベニュー 10292
(31) 優先権主張番号	0 8 / 3 6 7 , 3 8 8	(74) 代理人	弁理士 大島 陽一 (外1名)
(32) 優先日	1994年12月30日		
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 集積回路ダイ及びその製造方法

(57) 【要約】

【課題】 内部バスその他の導電経路の抵抗が小さい集積回路ダイ及びその製造方法を提供すること。

【解決手段】 本発明によると、上面のバスその他の導電経路上に比較的厚い金属ストラップ層が形成される。金属ストラップ層は、バスなどの上部を覆うパッシベーション層をエッチングして縦方向の溝を形成し、この溝内に於いて厚い金属層をめっきすることにより形成される。ニッケルをメッキすることが好ましい。金属ストラップ層によって、バスの抵抗を大幅に減少させることができる。



【特許請求の範囲】

【請求項1】 集積回路ダイであって、
第1金属導電経路と、
前記第1金属導電経路の表面上に形成された第1金属ストラップ層と、
当該ダイの表面上に横方向に延在するパッシベーション層とを含み、
前記第1金属導電経路と前記第1金属ストラップ層は、
当該ダイについて概ね横方向に電流を流すためのものであり、
前記第1金属ストラップ層が前記パッシベーション層を横切っていることを特徴とする集積回路ダイ。

【請求項2】 前記第1金属導電経路の側縁が前記第1金属ストラップ層の側縁を越えて横方向に延在しており、前記パッシベーション層が前記第1金属導電経路の前記表面の一部を覆っていることを特徴とする請求項1に記載の集積回路ダイ。

【請求項3】 前記パッシベーション層が前記第1金属ストラップ層の前記側縁の一部に接していることを特徴とする請求項2に記載の集積回路ダイ。

【請求項4】 前記第1金属ストラップ層がニッケルの層を含んでいることを特徴とする請求項1に記載の集積回路ダイ。

【請求項5】 前記第1金属ストラップ層が前記第1金属導電経路と接触する接着層を含んでいることを特徴とする請求項1に記載の集積回路ダイ。

【請求項6】 前記接着層がチタンを含んでいることを特徴とする請求項5に記載の集積回路ダイ。

【請求項7】 前記第1金属ストラップ層が、該第1金属ストラップ層の上面を覆う表面層を含んでいることを特徴とする請求項1に記載の集積回路ダイ。

【請求項8】 前記表面層が金を含んでいることを特徴とする請求項7に記載の集積回路ダイ。

【請求項9】 前記第1金属導電経路が上面金属層に含まれ、当該ダイが更に下側金属層を含んでおり、この下側金属層が少なくとも、
第2金属導電経路と、
前記第1金属導電経路と前記第2金属導電経路との間に延在して前記第1金属導電経路と前記第2金属導電経路との間に導電経路を形成するパイアとを含んでいることを特徴とする請求項1に記載の集積回路ダイ。

【請求項10】 前記上面金属層が更に第3金属導電経路を含んでおり、
前記下側金属層が更に、
前記第2金属導電経路と概ね平行な第4金属導電経路と、
前記第3金属導電経路と前記第4金属導電経路との間に延在して前記第3導電経路と前記第4金属導電経路との間に導電経路を形成する第2パイアとを含んでいることを特徴とする請求項9に記載の集積回路ダイ。

【請求項11】 前記第2及び第4金属導電経路が、前記第1及び第2金属導電経路に対し斜めに配列されていることを特徴とする請求項10に記載の集積回路ダイ。

【請求項12】 更にパワーMOSFETを含むことを特徴とする請求項1に記載の集積回路ダイ。

【請求項13】 前記パワーMOSFETがラテラルデバイスであることを特徴とする請求項12に記載の集積回路ダイ。

10 【請求項14】 更に第2金属導電経路を含み、各金属導電経路が他方の金属導電経路のフィンガと櫛歯状に互い違いになるように配列された複数のフィンガを含んでいることを特徴とする請求項1に記載の集積回路ダイ。

【請求項15】 準パーチカル二重拡散MOSFETを含むことを特徴とする請求項1に記載の集積回路ダイ。

【請求項16】 ラテラルMOSFETを含むことを特徴とする請求項1に記載の集積回路ダイ。

20 【請求項17】 前記ラテラルMOSFETのドレイン領域が低濃度にドーピングされた領域を含むことを特徴とする請求項16に記載の集積回路ダイ。

【請求項18】 前記MOSFETがNチャネルデバイスであることを特徴とする請求項16に記載の集積回路ダイ。

【請求項19】 前記MOSFETが当該ダイのPウェル内に形成されていることを特徴とする請求項18に記載の集積回路ダイ。

【請求項20】 前記MOSFETのドレイン領域が低濃度にドーピングされた領域を含んでいることを特徴とする請求項18に記載の集積回路ダイ。

30 【請求項21】 前記MOSFETが、このMOSFETのソース領域に短絡されたボディコンタクト領域を含んでいることを特徴とする請求項18に記載の集積回路ダイ。

【請求項22】 前記MOSFETが二重拡散デバイスであることを特徴とする請求項18に記載の集積回路ダイ。

【請求項23】 前記MOSFETがPチャネルデバイスであることを請求項16に記載の集積回路ダイ。

40 【請求項24】 前記MOSFETが当該ダイのNウェル内に形成されていることを特徴とする請求項23に記載の集積回路ダイ。

【請求項25】 前記金属ストラップ層が複数の縦方向セグメントに形成されていることを特徴とする請求項1に記載の集積回路ダイ。

【請求項26】 前記接着層が亜鉛を含んでいることを特徴とする請求項5に記載の集積回路ダイ。

【請求項27】 更に前記表面層にボンディングされたワイヤを含んでいることを特徴とする請求項7に記載

50

の集積回路ダイ。

【請求項28】 前記ワイヤが金を含んでいることを特徴とする請求項27に記載の集積回路ダイ。

【請求項29】 前記ワイヤがアルミニウムを含んでいることを特徴とする請求項27に記載の集積回路ダイ。

【請求項30】 前記金属ストラップ層が当該ダイの前記パッシベーション層に開孔が開けられている領域にのみ配置されていることを特徴とする請求項1に記載の集積回路ダイ。

【請求項31】 更に、第2金属導電経路と前記第2金属導電経路の表面上に形成された第2金属ストラップ層とを含み、前記第1金属導電経路と前記第1金属ストラップ層がグランドバスを形成し、前記第2金属導電経路と前記第2金属ストラップ層が電圧供給バスを形成していることを特徴とする請求項1に記載の集積回路ダイ。

【請求項32】 集積回路ダイの製造方法であって、半導体基板内に半導体デバイスを形成する過程と、前記基板上に絶縁層を形成する過程と、前記絶縁層上に導電経路を形成して前記半導体デバイスとの電氣的コンタクトを形成する過程と、前記絶縁層及び前記導電経路上にパッシベーション層を形成する過程と、前記パッシベーション層をエッチングして前記導電経路の上に縦方向溝を形成し、前記導電経路の露出面を生成する過程と、前記露出面上に金属ストラップ層を形成する過程とを含むことを特徴とする集積回路ダイの製造方法。

【請求項33】 前記パッシベーション層のエッチング過程がウェットエッチングによって行われることを特徴とする請求項32に記載の方法。

【請求項34】 前記パッシベーション層のエッチング過程がドライエッチングによって行われることを特徴とする請求項32に記載の方法。

【請求項35】 前記パッシベーション層のエッチング過程が反応性イオンエッチングによって行われることを特徴とする請求項32に記載の方法。

【請求項36】 前記金属ストラップ層の形成過程が、ニッケル層をめっきする過程を含むことを特徴とする請求項32に記載の方法。

【請求項37】 前記金属ストラップ層の形成過程が、前記導電経路上に亜鉛層をめっきする過程を含むことを特徴とする請求項36に記載の方法。

【請求項38】 前記金属ストラップ層の形成過程が、前記ニッケル層の上に金の層をめっきする過程を含むことを特徴とする請求項36に記載の方法。

【請求項39】 前記金属ストラップ層の形成過程が、金の層をめっきする過程を含むことを特徴とする請求項32に記載の方法。

【請求項40】 前記パッシベーション層のエッチング過程が、ボンディングワイヤを前記ダイへ接合するためのパッドのエッチングを含むことを特徴とする請求項32に記載の方法。

【請求項41】 前記金属ストラップ層の形成過程が、前記パッシベーション層のエッジにオーバラップする接着層の形成を含んでいることを特徴とする請求項32に記載の方法。

【請求項42】 前記接着層の形成過程が、前記露出面と前記パッシベーション層の上に金属層を形成する過程と、前記金属層をエッチングして前記縦方向溝より大きいサイズになるように形成する過程を含むことを特徴とする請求項41に記載の方法。

【請求項43】 前記接着層がチタンを含んでいることを特徴とする請求項42に記載の方法。

【請求項44】 前記接着層が亜鉛を含んでいることを特徴とする請求項42に記載の方法。

【請求項45】 前記第1金属ストラップ層が12μmよりも厚いことを特徴とする請求項1に記載の集積回路ダイ。

【請求項46】 前記第1金属ストラップ層の厚さが25μm未満であることを特徴とする請求項45に記載の集積回路ダイ。

【請求項47】 前記第1金属ストラップ層が20μmよりも厚いことを特徴とする請求項45に記載の集積回路ダイ。

【請求項48】 前記第1金属ストラップ層の厚さが30μm未満であることを特徴とする請求項47に記載の集積回路ダイ。

【請求項49】 当該ダイに関して概ね横方向に電流を流すための金属導電経路と、前記金属導電経路の表面上に形成された金属ストラップ層とを含み、

前記金属ストラップ層が12μmよりも厚いことを特徴とする集積回路ダイ。

【請求項50】 前記金属ストラップ層の厚さが25μm未満であることを特徴とする請求項49に記載の集積回路ダイ。

【請求項51】 前記金属ストラップ層が20μmよりも厚いことを特徴とする請求項49に記載の集積回路ダイ。

【請求項52】 前記金属ストラップ層の厚さが30μm未満であることを特徴とする請求項51に記載の集積回路ダイ。

【請求項53】 集積回路ダイであって、当該ダイに関し横方向に電流を流すためのバスと、当該ダイに形成された電子素子上に形成されたパッシベーション層とを含み、

前記バスが、前記パッシベーション層の上面より下のレ

ベルに位置する底面と、前記パッシベーション層の前記上面より上のレベルに位置する上面とを有することを特徴とする集積回路ダイ。

【請求項54】 前記バスが、前記パッシベーション層の前記上面より下に位置する比較的薄い下側層と、前記パッシベーション層の前記上面より下に位置する底面と、前記パッシベーション層の前記上面より上に位置する上面とを有する比較的厚い上側層とを含むことを特徴とする請求項53に記載の集積回路ダイ。

【請求項55】 前記バスが、更に、前記下側層と前記上側層との間に位置する接着層を含むことを特徴とする請求項54に記載の集積回路ダイ。

【請求項56】 前記バスが、更に、前記上側層の上に位置するボンディング層を含むことを特徴とする請求項54に記載の集積回路ダイ。

【請求項57】 前記バスの垂直方向サイズが $12\mu\text{m}$ 以上であることを特徴とする請求項53に記載の集積回路ダイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路として形成されたラテラルパワーMOSFET (lateral power MOSFET) に関する。特に、MOSFETその他の回路素子を互いにまたは外部のデバイスと連結するための内部バスその他の導電経路の抵抗が小さくされた集積回路に関する。

【0002】

【従来の技術】パワーMOSFETのオン状態抵抗は、一般に、金属導電体（ボンディングワイヤ、バス、その他）の抵抗とチャネル抵抗の和である。集積回路 (integrated circuit: IC) として形成されたパワーMOSFETの特性は、金属導電体の抵抗のため、独立して形成されたものに比べ劣る。この問題は、一時期、パワーIC内に2層の金属層を導入することによって解決されていた。しかしながら、近年、パーティクル及びラテラルパワーMOSFETのチャネル抵抗が更に小さくなってきたことにより、金属インターコネク（metal interconnects）の抵抗が再び問題になってきた。例えば、チップ間にまたがるバス配線 (cross-chip busing) が必要とされるような場合、金属抵抗がシリコンデバイスの抵抗を越えることも起こりかねなくなってきた。

【0003】従来のICパワーMOSFETでは、金属層は、スパッタリング、化学蒸着等によって形成され、典型的には窒化シリコンまたはある種のガラス（例えば、ボロホスホシリケート (borophosphosilicate) ガラス）からなるパッシベーション層に覆われている。抵抗をできるだけ小さくするため金属層の厚さを増加することは、ICに於ける実装密度の増加という要望と多くの点でマッチしない。また、 $1\mu\text{m}$ の厚さでも、シート

抵抗 (sheet resistance) が1スクエア (square) 当たり $30\text{m}\Omega$ に達し、 $50\text{m}\Omega$ ラテラルパワーMOSFETの設計に重大な問題が発生することがある。また、動作電圧が12Vから5V、更に3Vにまで下がってきたため、個々のデバイスセルのサイズが小さくなってきている。セルサイズが小さくなってきたことにより、例えば、今日好ましい構造とされているソースとドレインが交互に配置されたクロードセルアレイ (closed-cell array) では、第1金属層のピッチ (pitch) をより狭くし、コンタクトをより小さくする必要が生じている。ある例では、このようなピッチに対する要求のため、第1金属層の厚さが $1\mu\text{m}$ 以下、時には $0.3\mu\text{m}$ 程度にまで減少されているものもある。第1金属層が厚いと、第2金属層に於ける階段状被覆 (step coverage) の問題を避けるのに必要な平坦化処理にも問題が生じることがある。

【0004】第2金属層の厚さが増加することによっても、特にエッチングプロセスに於いて、問題が生じることがある。厚さが $2\mu\text{m}$ を越えると、フォトレジストを厚くする必要が生じることによって、また金属エッチングプロセスそれ自身が複雑になる（即ち、エッチングされた物質の再付着、ガスの化学量論的变化、加熱など）ことによってドライエッチングが困難になる。ウェットエッチングは、レジストの剥げ落ちの影響を受け、それによってノッチング（“マウスバイティング (mouse biting)”）が生じることがあるため、金属間スペースを非常に広く（例えば、 $4\mu\text{m}$ の厚さの金属層の場合、 $15\mu\text{m}$ ）する必要があり、パイア (via) の金属とのオーバーラップも大きくなる。これらの要望に合うような金属層は、ICのロジック領域に於いては役に立たない。そのような最小ライン幅及び間隔では、単位面積当たりのインターコネク数が少なくなりすぎ、またピッチが大きくなりすぎるため、高密度実装を実現することができないからである。

【0005】金属抵抗は、パワーICの設計に於いて、特に以下の2つの領域に影響を与える。即ち（1）デバイス間及びダイのエッジに沿って配線されたバス、（2）所与のラテラルパワーデバイス内の導電性フィンガ (conductive fingers) に影響を与える。デバイス間を結ぶバスに於いて、金属は直列に接続された抵抗素子として働く。全抵抗に対しそれが寄与する程度は、そのシート抵抗×スクエア数として計算される。例えば、図1に示すような三相ブッシュブルモータドライバについて考えてみる。このドライバは6個のMOSFETを含んでおり、その内3つは高電位側に、3つは低電位側にある。3つの低電位側MOSFET (A_{LSS} 、 B_{LSS} 、 C_{LSS}) はICのグランドパッド (ground pad) に低抵抗接続されなければならず、同様に、高電位側の3つのデバイス (A_{BSS} 、 B_{BSS} 、 C_{BSS}) は、 V_{DD} パッドにつながった低抵抗の共通バスに接続されなければならない。

各相は、出力パッド (A_{out} 、 B_{out} 、 C_{out}) を有しており、それらはこの図では、模式的に、高電位側MOSFETと低電位側MOSFETの間の共通ノードに位置するものとして示されている。従って、この場合、少なくとも5つのパワーパッド (power pad) が必要である。都合の悪いことに、出力パッドは図2に示されているようにダイ (die) の中心に配置することはできない。“深い”ボンディングワイヤ、即ち、ダイのエッジ (リードフレームが配置されている) からダイの中央部へと伸びるボンディングワイヤは通常禁止されている。

“深い”ボンディングワイヤがダイの表面や他のボンディングワイヤとショートするリスクは大きすぎる。別のリスクとして、ワイヤがたるんで“スクライブストリート (scribe street)” に接触することにより生じるグラウンドとのショート (“ワイヤウォッシュ (wire wash)” と呼ばれている) もある。薄い表面実装パッケージでは、プラスチックパッケージの上部から深いボンディングワイヤが突き出ることもあり得る。また、一つのボンディングワイヤによって50mΩ以上の抵抗が生じることもある。これらの理由のため、IC中のボンディングパッドは、通常、ダイのエッジ付近に配置しなければならない。

【0006】更に例を続ける。図3に示されているように、出力パッドがダイのエッジ付近に位置するようにプッシュプルステージ (push-pull stage) を並べ替えると、グラウンド及び V_{DD} パスラインの長さが増加して抵抗が増す。結局、パッドの数を増加 (5個から少なくとも7個) することなく、 V_{DD} 、グラウンド及び出力の接続に於いて抵抗を十分小さくできるようなレイアウトはない。

【0007】デバイス内の金属の抵抗に対する影響はより複雑である。図4は、ボンディングワイヤ抵抗 R_{wire} 、ひとまとめにされたメタルフィンガ (metal finger) 抵抗 R_{metal} 、及びMOSFETチャネル抵抗を有する理想化されたMOSFETのモデルを図示している。しかし、図5を参照すると、フィンガ抵抗を“ひとまとめ”にできるという仮定は適切ではないということがわかる。図5に於いて、MOSFET $M_A \sim M_F$ は、ドレインフィンガ (drain finger) Dとソースフィンガ (source finger) Sとの間に並列に接続されている。ドレインフィンガDは1d~5dの符号が付された5つのスクエアを含んでおり、ソースフィンガSは1s~5sの符号が付された5つのスクエアを含んでいる。

【0008】MOSFET $M_A \sim M_F$ が全て同じ電流を流していると仮定してみる。ソース側の金属スクエア5sは、6個のMOSFETを流れる全電流を担わなければならないことに気付くだろう。ドレイン側のスクエア5dは、MOSFET M_F の電流だけを流せばよい。それに対し、スクエア1dは全電流を担わなければならない。ドレイン側のスクエア1dとソース側のスクエア

5sを流れる電流が他より大きい。これらのスクエアに於ける電圧降下は、他のスクエアに於ける電圧降下よりも大きい。等価回路を図6に示す。この図では、スクエア1d~5d及び1s~5sによって表されていた分布抵抗 (distributed resistances) は、個々のMOSFETとMOSFETの間に示されている。このように抵抗が分布していることにより、MOSFETが単純に並列に接続されていると考えたり、それらを流れる電流が均一であると考えたりすることはできない。結局、このようなネットワークの等価抵抗は、MOSFETの並列抵抗に、ひとまとめにされたメタルフィンガ抵抗を加えるとといった単純なモデルによるものより大きくなる。

【0009】図7は、既知の電流Iがネットワークに流されているときの、ソースフィンガSに沿った電圧の降下 (V_{source}) と、ドレインフィンガDに沿った電圧の降下 (V_{drain}) を示している。予測されるように、大きな電圧降下がソースフィンガSの一端とドレインフィンガDの他端に於いて発生する。各フィンガに沿った電圧は、より多くのMOSFETがフィンガに電流を供給するにつれ放物線状に変化する。 V_{source} と V_{drain} の非線形な変化を仮定すると、所与のMOSFETの両端にかかる電圧は、その点に於けるドレインフィンガとソースフィンガの電位差 ($V_{drain} - V_{source}$) となる。両端に於いては、MOSFET (M_A 及び M_F) の両端にかかる電圧が端子 (供給) 電圧 (V_{DD}) に対し比較的大きな値となることに注意されたい。中央に近づくにつれフィンガでの電圧降下が大きくなり、MOSFET M_C 及び M_D に於いてMOSFETの両端の電圧は最小となる。どのMOSFETに於いても飽和が発生しないぐらい電流密度が十分小さいと仮定すると、各MOSFETは線形抵抗と考えることができる。従って、あるMOSFETを流れる電流は、そのMOSFETの両端にかかる電圧を V_d で表し、そのMOSFETの抵抗を R_d で表すと、 V_d/R_d と表すことができる。

【0010】図8の曲線 C_1 は、MOSFET $M_A \sim M_F$ の各々の両端の電圧 V_d を図示したものである。図8から明らかなように、フィンガの中央部のMOSFET M_C 及び M_D を流れる電流は、フィンガの両端のMOSFETを流れる電流より小さい。従って、これらのMOSFETは、より端に配置されたMOSFETよりも高い抵抗を有しているかのように振る舞う。フィンガをより長くすると、あまり多くの電流を担わない中央部のセルの数が増え、ダイの所与の領域に対する等価抵抗が増大する。従って、MOSFETの電流飽和やゲートバイアス等の影響がなくても、メタルフィンガ抵抗のため、フィンガが長くなることによって、デバイスのトータルの抵抗は非線形に増加する。図8には、寄生抵抗がない理想的な場合に対するMOSFET $M_A \sim M_F$ の各々の両端の電圧降下 (曲線 C_2)、及び図4に示されている

ように抵抗をひとまとめにしてモデル化した場合に対するMOSFET $M_A \sim M_F$ の各々の両端の電圧降下（曲線C₂）も併せて示した。

【0011】外部回路の状態によってゲートとソースパットの間の電圧が増加していくと、まずフィンガの両端のデバイスが電流飽和状態となり、フィンガのより中央寄りのセルの電流負荷が増加する。後者のセルは、電流が各MOSFETに均一に流れる場合に比べてより早く飽和状態となり、その影響は次々と続いていく。この現象は、フィンガ抵抗に関する第2の問題を提示する。即ち、電流が不均一なことにより、個々のMOSFETの飽和が早まって線形動作領域が狭まると共に、金属フィンガS及びDに沿った電力分布が不均一となる。

【0012】更に、フィンガSに沿って分布する抵抗により、フィンガの端部（MOSFET M_A ）に於ける電圧が増加し、それによってゲートドライブレベルが低下する。デバイスがゲートパッドから離れる程、ゲートドライブに於ける低下も大きくなる。ゲートドライブ電圧（ V_{gs} ）がより小さくなるということは、MOSFETがより高い抵抗を有し、より早く飽和するということ

を意味する。

【0013】従来技術では、エレクトロマイグレーション（electromigration）、即ち、アルミニウムのような柔らかい金属に於ける高電流密度から生じる信頼性の問題、を避けるため三角形またはくさび形のバスが用いられている。これによって、所与のバスまたはフィンガに沿ったMOSFET間の電圧降下が均等化されやすくなる（即ち、バスの断面積がパットに向かって増加する）が、三角形のバスによってレイアウト上の制約が生じるため、今日の高密度実装技術には合わなくなっている。更に、図9に示されている櫛歯状に互い違いに配列されたバスレイアウトのように、バスの抵抗の問題は二次元的である。即ち、金属は、フィンガに沿った（ダイのエッジに垂直な方向）抵抗に影響するだけでなく、ダイのエッジに沿った金属ソースバス及びドレインバスに於いても分布抵抗として影響を与える。バスを三角形にする試みは無駄な領域を発生させ、解消しようと意図した分布抵抗の問題よりもより悪い影響を与える結果となるだろう。

【0014】図10は、直線的なグリッド状に形成された高密度実装セルアレイを図示している。このパターンの利点のいくつかは、米国特許第5,412,239号明細書に述べられている。この特許明細書は本出願に引証として加えられる。ポリシリコンゲートは“クッキー型”のように形成されている（即ちアレイ状に並べられた開孔が設けられたシート状に形成されている）。ソースコンタクトとドレインコンタクトが、交互にこれらの開口を通して延在している（ソースに対して符号Sを、ドレインに対して符号Dを付した）。図11に示されているように、第1金属層のトレースは、同じタイプ（ド

レインまたはソース）のコンタクトを結ぶように対角線方向（斜め）に配列されている。ここでもまた、Sはソースの金属トレースを示し、Dはドレインの金属トレースを示す。図12に示されているように、第2金属層には、櫛歯状にかみ合わされたフィンガが含まれており、それらはセルに対し平行なパターンに配列されている。これらのフィンガは一つ置きに、下に位置するソースまたはドレインセルにパイアを介して接続されている。即ち、第1金属層と第2金属層の間のパイアによる接続は、交互に“ストライプ”状になされる。ドレインストライプの下には、“ドレイン”第1金属バスへのパイアのみが含まれる（図11の中央領域に示されている）。中央領域の第1金属層のソースバス内の電流は、一番近い第2金属層のソースバスの下のパイアへと横向きに流れなければならない。

【0015】従って、必要とされているのは、横方向分布抵抗の値が小さく、ICパワーデバイスに於いて大きな電流を流すことのできる手段である。そのような技術は、ポリシリコンゲートと第1金属層の幾何学的配置に関する制約ができるだけ少なく、所与の領域に於ける抵抗ができるだけ小さくなるように、それらが最適化可能となっているべきである。更に、金属の階段状部（metal steps）に形成されたパッシベーション層にクラックが入らないように、パッシベーション層で覆われる金属を極端に厚くすることは避けなければならない。このようなクラックにより信頼性に問題が生じることがある。

【0016】

【発明が解決しようとする課題】従って、本発明の主な目的は、内部バスその他の導電経路の抵抗が小さい集積回路ダイ（ICダイ）及びその製造方法を提供することである。

【0017】

【課題を解決するための手段】本発明によると、金属ストラップ層がICダイ内のバスその他の導電経路の表面に形成される。金属ストラップ層はダイ内においてパッシベーション層によって覆われておらず、むしろパッシベーション層はストラップ層の側縁に接しているとよい。

【0018】好適実施例では、金属ストラップ層は、バスその他の導電経路に無電解めっきされた（electrolessly plated）比較的厚いニッケル層を含む。バスはアルミニウム層から形成することができる。アルミニウム層は、アルミニウムシリコンやアルミニウム銅シリコンを含むことができる。パッシベーション層が金属ストラップ層を覆っていないため、金属ストラップ層の厚さを、例えば20乃至30 μ mに増加することができ、しかもパッシベーション層にクラックを発生させることもない。

【0019】このような構成を形成するための方法では、パッシベーション層をエッチングして、バスその他

10

20

30

40

50

の導電経路上に長手方向のチャネルまたは溝を形成する。好適実施例では、亜鉛、チタン、または白金のような金属からなる接着層をめっきまたは成膜することによって、バスとのコンタクトを改善する。続いて、その薄膜上に、好ましくは無電解めっきによって金属ストラップ層を形成する。この金属ストラップ層の上に、更に別の金属層（例えば、金または銀の層）を形成することもできる。金属ストラップ層を金や銀の薄い金属層で覆うことにより、特殊な技術を用いることなく従来のワイヤボンディングによって金属ストラップ層をダイのエッジに直結することができる。

【0020】別の実施例では、厚いニッケル層の代わりに厚い金の層を用いてもよい。これによって、この厚い金の層にボンディングワイヤを直接接合することができる。

【0021】金属ストラップ層は、その下に位置するバスその他の導電経路の抵抗を実質的に除去し、インターコネクトのシート抵抗を従来のインターコネクト構成に較べてファクタ5乃至30も低減する。“深い”ボンディング、即ちダイの内部にまで延びる長いワイヤボンディングも不要となる。

【0022】バスまたはフィンガ上の金属ストラップ層は、1または複数の金属層を含む任意のICで、抵抗を小さくするのに用いることができるが、パワーIC内にロジックまたは制御回路と共に一体に形成されるラテラルパワーデバイスのオン状態抵抗を小さくするのに特に有用である。このようなICは、パッシベーション層で覆われた従来の金属バスと、上に金属ストラップ層が形成されたバスの両方を含み得る。上に金属ストラップ層が形成されたバスは通常に比べ幾分広い間隔を必要とするが、他のバスは従来と同じ間隔でよいから、実装密度を低下させることなく、大電流を流すことのできるバスをサブミクロンオーダのインターコネクトに混ぜることができる。ダイのエッジに位置するバス上に金属ストラップ層を形成することにより、これらのバスに分布した抵抗を大幅に小さくことができ、しかも使用されるワイヤボンダが多くなり過ぎることもない。

【0023】

【発明の実施の形態】図13は、金属ストラップ層61が上に形成された導電性金属層60の上面図である。この金属層60は、バス60Hから延在する導電性ライン60A、60C、及び60Eと、バス60Gから延在する導電性ライン60B、60D、及び60Fを含んでいる。導電性ライン60A~60Fは、櫛歯状に交互にかみ合わされたフィンガの形態に配列されている。ワイヤ62がボンディング位置62Bに於いてバス60Gに接合され、ワイヤ63がボンディング位置63Bに於いてバス60Hに接合されている。

【0024】図14は、図13のライン14-14に於ける断面図を示している。この断面図にはライン60D

及び60Eが含まれている。これらの下方には、シリコン基板64が位置しており、その上には酸化膜65が形成されている。ライン60D及び60Eによって表されている金属層60は、酸化膜65の上に形成されている。パッシベーション層66が酸化膜65の上に形成されており、ライン60D及び60Eのエッジを覆っている。金属ストラップ層61には金属ストラップ61A及び61Dが含まれ、それらはそれぞれ導電性ライン60D及び60Eの上に位置している。金属ストラップ層61は、パッシベーション層66によって覆われおらず、パッシベーション層66は、例えばストラップ61Aの側縁61Aa及び61Abに接している。ストラップ61A及び61Bはパッシベーション層66に形成された縦方向の溝内に形成されている。この実施例では、金属ストラップ層61は、ニッケル層67、薄い亜鉛層68、及び薄い金の層69を含んでいる。亜鉛層68はライン60D及び60E上に形成されており、金属層60とニッケル層67の間の接着を強める働きをしている。金の層69は、ワイヤボンディングが容易になるように、ニッケル層67の上及び側面に形成されている。

【0025】図13及び図14に於いて、金属層60は、例えば、第2金属層である。その下に位置する第1金属層は示されていない。

【0026】図15は、導電性ライン70A~70Gを含む第1金属層70を示した断面図である。導電性ライン70A~70Gは、例えば、図11に示したような対角線方向のバスのように配列されていてもよい。別の方法として、これらのラインを互い違いに櫛歯パターンに配列することもできる。第2金属層71は、バス71A及び71Bを含んでいる。バス71Aはバイアによってライン70A及び70Cに接続され、バス71Bはライン70D及び70Fに接続されている。金属ストラップ層72は、バス71A及び71Bの上面にめっきにより形成されている。図15には、第1金属層の比較的細かいラインピッチと、第2金属層のバスの大きなピッチがどのようにして組み合わされているかが示されている。本発明による構造では、第1金属層のラインのピッチは、パワーバス配線ルール (powerbusing rules) から完全に切り離されている。第1金属層のラインには、第2金属層の金属ストラップが関与するようなデザイン上の制約はない。第2金属層のラインが広いライン幅で形成されているところにのみ厚い金属層を形成して抵抗を小さくすることができるため、ライン間の間隔が狭い薄い第2金属層を用いることもできる。

【0027】金属ストラップ層61の形成プロセスを以下に説明する。このプロセスは、パッシベーション層66が形成された後から始まる。

【0028】1. パッシベーション層66にパッド用開口を形成するために用いたのと同じマスクを用いて、ライン60D上に金属ストラップ61Aの位置を、ライン

60E上にライン61Bの位置を画定する。

2. パッシベーション層66をウェットケミカルエッチングまたはドライエッチングによりエッチングし、ライン60D及び60E上に縦方向の溝を形成する。例えば、反応性イオンエッチング(RIE)を用いることができる。

3. ライン60D及び60Eの露出された面にトリクロロエタン(TCA)を施して脱脂し、直後にフッ化水素酸(HF)を用いて露出面に形成された酸化物をエッチングする。

4. 亜鉛酸塩溶液を用いて無電解めっきにより亜鉛薄膜を形成し、形成された亜鉛膜を硫酸によってエッチバック(etch back)する。滑らかで均一な亜鉛層を形成するべく、この過程を数回繰り返す。その結果、好ましくは単層である亜鉛層68を形成する。

5. ニッケル層67をニッケル次リン酸塩(hypophosphate nichel)溶液を用いた無電解めっきにより形成し、約12乃至25 μ mの厚さにする。

6. ニッケル層67の露出面を水洗する。

7. ウェハを金の溶液に浸け、ニッケル層67上に厚さ20 0.1乃至0.3 μ mの金の薄層を形成する。

8. 金の薄層を塩化水素酸によって洗浄する。

9. 自触媒作用を有するシアン化物/金溶液を用いて、金の薄層上に更に金を無電解めっきし、金の層69を形成する。

10. 仕上げに水で洗浄する。ダイアタッチ後、好ましくはダイのエッジ付近に於いて、露出されている金にワイヤをボンディングする。金またはアルミニウムワイヤを用いることができる。

【0029】このプロセスに関する更なる情報は、Lawrence Duraniによる“Engineering Handbook, 4th Ed., pg. 438”に記載されている。この文献は、引証として本出願に加えられる。

【0030】別のプロセスでは、パッシベーション層をマスクしてエッチングした後、薄いチタン層を形成する。続いて、このチタン層を、上記の過程2でパッシベーション層に形成された開口より僅かに大きいサイズになるように、マスクしエッチングする(即ち、チタン層はパッシベーション層と僅かにオーバーラップする)。チタン層の上に金めっきをしても良く、あるいはニッケル中間層を最初に形成しても良い。上記オーバーラップによって、金属層60が後のエッチングその他の処理によって損傷されるのを防ぐことができる。

【0031】図16及び図17は、ラテラルパワーデバイス内の分布抵抗をできるだけ小さくするため、本発明による金属ストラップ層がどのように用いられているかを示した図である。図16は、図17の平面図のライン16-16に於ける断面図である。図17には、櫛歯状に交互にかみ合ったドレイン金属ストラップ75とソース金属ストラップ78が示されている。ドレイン金属ス

トラップ75の下には、第2金属バス76A(ハッチングされたライン)及び第1金属バス77Aが配置されている。ソース金属ストラップ78の下には、第2金属バス76B(ハッチングされたライン)及び第1金属バス77Bが配置されている。図17内の点は、第1金属層と第2金属層の間のパイアを表している。

【0032】図16はラテラルパワーデバイスの構造を示している。電流は、ドレイン金属ストラップ75からバス76A及び77A、N+シンカー(sinker)70、N+埋込み層71、Nエピタキシャル領域72を通った後、更に各Pボディ領域73A~73Fのチャネル領域を通して流れる。チャネル領域の導通/非導通は、ゲート74A~74Dによって制御される。Pボディ領域73A~73Fのチャネル領域を流れた電流は、N+領域(符号なし)、バス77B及び76Bを通して、バス76Bに接続されたソース金属ストラップ78へと流れる。バス77Aと77Bは第1金属層の一部であり、バス76Aと76Bは第2金属層の一部である。これは“準パーチカル(quasi-vertical)”または“アップドレイン準パーチカル(up-drain quasi-vertical)”DMOSデバイスであり、60VパワーICでは良く知られている。準パーチカルデバイスでは、電流は埋込み層へと垂直に流れ最終的に表面へ戻ってくるが、上面のバス内に於ける電流の流れは概ね横方向である。この意味において、準パーチカルパワーMOSFETは“ラテラル”デバイスである。

【0033】第2金属層(バス76A及び76B)は第1金属層(バス77A及び77B)に、それらの間に位置する誘電体層内のパイアを介して接続されている。第1金属層は、バス77Bのような比較的幅の広いバスと、バス77Aのような比較的幅の狭いバスを含んでいる。比較的幅の広いバスは、MOSFETのソース/ボディ領域(Pボディ領域73A~73F)に接続され、比較的幅の狭いバスはドレイン(N+シンカー70及び埋込み層71)に接続されている。一方、第2金属層(バス76A及び76B)のピッチは、ソースとドレインラインの間でより均一になっている。パッシベーション層79は、バス76A及び76Bの中央領域の溝部分を除いて、第2金属層上に形成されている。金属ストラップ75及び78は上述したように形成されており、これらのストラップには、亜鉛、ニッケル、及び金の層が含まれている。

【0034】図18~図19は、図16及び図17に示したようなデバイスの製造方法を順に示している。図18に示されているように、まずP基板(P-sub)80に約 $5 \times 10^{14} \text{ cm}^{-2}$ の濃度でボロニオンを注入し、P埋込み層81が配置されるP+領域を形成する。同様にアンチモンを注入して、N+埋込み層71が配置されるN+領域を形成する。P基板80は、例えば4 Ω cmの抵抗率を有する。Nエピタキシャル層(N-epi)72を基板

80の上面に形成し、0.3乃至10Ωcmの抵抗率を有し、2乃至15μmの厚さとなるようにする。抵抗率が約2Ωcmで、厚さが5乃至8μmであると特に好ましい。続いて、高濃度P+シンカーを形成し、上方に拡散しているP+領域と重なるように拡散してP埋込み層(PBL)81とP隔離領域(Piso)82を形成する。同様に、高濃度N+シンカーを形成し、上方に拡散しているN+領域と重なるように拡散してN+埋込み層(NBL)71とN+シンカー70を形成する。別の領域(図示せず)に於いて、従来のCMOSデバイスの形成が容易になるように、Pウェル拡散領域及び厚いLOCOSフィールド酸化膜を形成してもよい。

【0035】図19を参照されたい。ゲート酸化膜83、ポリシリコン層を形成した後、ドーピング及びエッチングを行いポリシリコンゲート84を形成する。続いて、Pボディ領域85A及び85Bに不純物を注入して(例えば1乃至10×10¹³cm⁻²の濃度でボロンを注入)、0.9乃至4μmの深さとなるように拡散させる。Pボディ領域85A及び85Bは、ゲート84と自己整合する。Pボディ領域85A及び85Bは、ゲート84によって囲われた個々の“島”としてもよく、あるいはゲート84の各側に長寸のストライプ状に形成してもよい。

【0036】次に、図20に示されているように、マスクを通してN+及びP+をそれぞれ5×10¹⁵cm⁻²、9×10¹³cm⁻²の濃度で導入し、P+及びN+コンタクト領域を形成する。

【0037】続いて、図21に示されているように、表面の酸化膜をマスクしエッチングして、N+ドレインと、N+/P+ソース/ボディ領域へのコンタクトを形成する。続いて、アルミニウム銅シリコン(例えば、96%、2%、2%)をスパッタリングし、マスクし、エッチングしてバス77A及び77Bを形成する。LTO(低温酸化)ガラスなどからなる中間誘電体層を形成した後、バス77A及び77Bへのパイア用の開口をあけ、バス76A及び76Bを含む第2金属層を厚さ0.6乃至4μmとなるように形成する。0.8乃至1μmの厚さがより好ましい。続いて、窒化物またはガラスからなるパッシベーション層79を形成し、マスクして金属ストラップ75及び78が形成されるべき場所に溝を形成する。

【0038】図22～図26は、図10～図12に示したような種類のクローズドセルラテラルデバイスに於いて、本発明がどのように用いられるかを説明するための図である。図22は、ソースとドレインが交互に配置された複数のセルを表した“修正が加えられた”断面図である。各セルは、PN接合部の電界の大きさを制限するため低濃度ドーピング領域(N-)を有している。これらのセルは、Pエピタキシャル層(P-epi)に形成されている。第1金属層は、図23の部分的に破砕された上

面図に示されているように斜めに配列された導電性ライン100A～100Fを含んでいる。第2金属層はドレインバス101Aとソースバス101Bを含んでいる。第2金属層には、図23に示されているように、櫛歯状に交互に配列された他のソース及びドレインバスも含まれる。

【0039】図22には“修正”が加えられており、この図では、バス101A及び101Bとライン100A～100Fの間のパイアが、ライン100A～100Fから個々のソース及びドレイン領域への金属コンタクトと同じ断面内に示されている。バス101A及び101Bとライン100A～100Fとの間のパイアが黒く塗られている図23に示されているように、図22に加えられた修正は実際と異なるものである。このことは、図24の詳細な上面図により明確に示されている。また、図25及び図26(それぞれ、図24のライン25-25、ライン26-26についての断面図)にも見ることができる。

【0040】バス101A及び101Bの上面に接するように、本発明による金属ストラップ102A及び102Bが設けられている。このような構造により、バス102A及び102B上の任意の点と同じバス上の他の点(例えば、ボンディングワイヤ接続)との間の抵抗は非常に小さくなっている。

【0041】図27～図30は、図22及び図23に示したような種類のデバイスの製造プロセスを示したものである。このようなデバイスのあるものはNチャネルデバイスであり、またあるものはPチャネルデバイスである。図22の断面図及び図23では、PチャネルデバイスはNウェル領域内に形成され、NチャネルデバイスはPエピタキシャル層内に形成されている。所望に応じて、Pエピタキシャル層内にPウェルを含ませることができる。

【0042】このプロセスは、P基板110(抵抗率2乃至20Ωcm)にN型ドーパントを1乃至5×10¹⁵cm⁻²の濃度で注入することから始まる。続いて、Pエピタキシャル層111をP基板110の上面に成長させ、更に拡散によって、N埋込み層112をP基板110とPエピタキシャル層111の接合部に形成する。続いてN型ドーパントをPエピタキシャル層111の上面に注入し、Pチャネルデバイス用のNウェル113を形成する。同様にP型ドーパントを注入してPウェル114を形成することができる。結果として得られる構造を、Nチャネルデバイスに対し、図27に示す。

【0043】図28に示されているように、Pエピタキシャル層111の上面に、LOCOS酸化領域115A～115Dを形成する。続いて、厚さ100乃至200Å(より好ましくは、175乃至400Å)のゲート酸化膜を成膜した後、ポリシリコン層を形成し、ドーピングし、エッチングしてゲート116A～116Dを形

10

20

30

40

50

成する。

【0044】図29に示されているように、Nウェル113内にP+領域を、Pウェル114内にN+領域を形成する。Nウェル113内のP+領域はゲート116Aと116Bに対し自己整合し、パワーPMOSデバイス用のソース及びドレイン拡散領域を形成する。Pウェル114では、フォトレジストマスクを用いてN+領域をゲート116C及び116Dから1乃至2 μ m離隔して保持し、ブランケットN-ドリフト注入(blanket N-drift implant)によって、低濃度にドーピングされたドレイン(lightly doped drain: LDD)構造を形成する。即ち、パワーNMOSデバイスのソース及びドレイン拡散領域を形成するN+及びN-領域の複合構造を形成する。別の方法として、N+領域がポリシリコンゲートに接するようにし、ドリフト(N-)領域を除去しても良い。別のバージョンとして、N-ドリフト注入を、ポリシリコンゲート上に酸化物からなるサイドウォールスペーサ(siewall spacer)を形成する前に行うこともできる。注入されたN+はサイドウォール酸化物によってゲートから離隔するように保たれ、ソースとドレインの両方に0.25 μ mの長さのドリフト領域が形成される。更に、N+コンタクト領域117AをNウェル113内に形成し、P+コンタクト領域117BをPウェル114内に形成する。

【0045】図30は第1金属層を示している。この層には対角線方向のバス118A~118Fが含まれる。それらの各々をバイアを介してP+またはドリフトされたN+領域の一つに接続する。更に別の対角線方向バス118GをNウェル113内のN+コンタクト領域に、118HをPウェル114内のP+コンタクト領域に接続する。

【0046】第2金属層はバス119A及び119Bを含んでおり、それらは図23に示されているように櫛歯状に互いにかみ合っている。もしPMOS及びNMOSデバイスの全体が全て図示されたなら、第2金属層内の第2バスがPMOSデバイス内のライン118Bにも、NMOSデバイス内のライン118Eにも接続されている様子が示されるだろう。その後、金属ストラップ(図30内には示されていない)をバス119A及び119Bの上面にめっきすることにより形成する。

【0047】図31は、同じような、相補的な一対のデバイスの断面図であるが、各ウェル内にはより多くのセルが含まれ、金属ストラップ120A~120Dがそれぞれバス121A~121Dの上面に形成されている様子が示されている。

【0048】図32~図36は、本発明を適用することのできる他のいくつかのデバイスを示している。図32は、Pウェル内に形成された従来のNMOSデバイスを示している。図33に示されているデバイスも同様のデバイスだが、サイドウォールスペーサが使用されてお

り、N+領域に隣接して低濃度にドーピングされた短い(例えば0.2 μ m)Nドリフト領域(N-)が形成されている点異なる。低濃度にドーピングされたドレイン(lightly doped drain: LDD)の形成方法や目的については、“Wolf, Silicon Processing For The VLSI Era, Vol.2, Lattice Press (1990), pp.354-360”に記載されている。この文献は引証として本出願に加えられる。図34は、各ソースセル内にN+/P+ソース/ポディショートを有するパワーNMOSデバイスを示している。図35は、Pエピタキシャル層に形成されたラテラルデバイスを図示しており、ここでは二重拡散された(double-diffused)Pポディ領域が用いられてチャネルのパンチスルー(punchthrough)が防がれており、注入されたNドリフト領域がある電圧(例えば60V)に対して最適化されている。図36は、図16に示した準バッチカルデバイスと等価なラテラルデバイスを示したものである。

【0049】金属ストラップ層の幅が広すぎると、金属ストラップ層は、図38に示すような“サドル形”に形成されやすい。ストラップの中央付近に於いて、めっき溶液中の金属イオンが欠乏し易いからである。この問題は、ストラップの幅を約25 μ m以下に制限することによって軽減することができる。別の方法として、ストラップを、図39の上面図に示されているような複数の縦方向セグメントに形成してもよい。それによって、セグメント間の“ジョイント部(joints)”を通して、金属イオンがストラップの中央部分により多く到達するようにすることができる。この方法を用いると、バスの抵抗は若干増加するが、金属ストラップ層が無い場合に較べれば、全体的な分布抵抗をずっと小さくすることができる。更に、金属ストラップをセグメント化することにより、厚い金属とその下のシリコンの間の温度膨張係数の違いによる応力を減少させることができるという利点も生じる。

【0050】金属ストラップ層と従来のワイヤボンディングを用いた本発明は、他のタイプのラテラルパワーデバイスにも用いることができる。更に、本発明はパワーデバイスに限定されるものではない。IC内のメインバスでも、分布抵抗が小さくなることには利点があるだろう。例えば、図37に示されているICに於いて、グランドバス140が、約30個の関連するスクエアを有しているとしよう。厚さ1 μ mの第2金属層に対し抵抗は1スクエア当たり約30m Ω であり、その合計は約1 Ω にもなる。30 μ mの厚さのニッケルと1 μ mの厚さの金がめっきされたバスを用いることにより、この抵抗を1スクエア当たり1.8m Ω 程度まで小さくし、全抵抗を60m Ω 程度に低下させることができる。抵抗が小さくなることによって、効率が良くなり、CMOSのラッチアップのリスクが小さくなり、“グランドハウンス(通常動作中にグランドバスラインを流れる電流が変化

することによるバスラインの長さ方向に沿った電圧の変化) ” が低減され、大電流バッファ出力のスイッチング波形が改善される。

【0051】本発明を特定の実施例に基づいて説明してきたが、これらの実施例は例示を目的としたものであって限定することを意図したものではないことを理解されたい。本発明の請求範囲は特許請求の範囲に記載される。特に、パッシベーション層を形成した後に、厚い単層またはサンドイッチ構造の複数層の金属を用いて、ラ

【図面の簡単な説明】

【図1】従来の三相プッシュプルモータドライバの回路図である。

【図2】図1のモータドライバを含むICダイのレイアウトの一例を示した図である。

【図3】図1のモータドライバを含むICダイの別のレイアウトを示した図である。

【図4】ボンディングワイヤ抵抗、ひとまとめにされた金属フィンガ抵抗、及びチャネル抵抗を含む理想化されたMOSFETを示した図である。

【図5】導電性フィンガとフィンガの間に並列に接続された従来のMOSFETの構成を示した図である。

【図6】図5に示した構成の等化回路図である。

【図7】図5に示した導電性フィンガに沿った電圧を表した図である。

【図8】図5に示したMOSFETの各々の両端の電圧を、抵抗がひとまとめにされたモデル及び寄生抵抗が全くない場合のモデルに対する電圧と比較して表した図である。

【図9】2つのバスが交互に櫛歯状にかみ合わされ配列された構成を示した図である。

【図10】MOSFETセルの直線的なアレイを示した図である。

【図11】MOSFETセルの直線的なアレイ上に配列された第1金属層内のバスレイアウトを表した図である。

【図12】セルの直線的なアレイ上に配列された第2金属層内のバスを表した図である。

【図13】櫛歯状に交互にかみ合わされたフィンガを含むバス構造の上面図である。

【図14】図13に示した隣接する2つのフィンガの断面図である。

【図15】第1金属層と第2金属層を含み、それらの上に金属ストラップ層が設けられた構成を示している。

【図16】本発明による金属ストラップ層を用いた準バ

る。

【図17】図16に示されているデバイスの上面図である。

【図18】図16及び図17に示されているようなデバイスの製造過程を示した図の一つである。

【図19】図16及び図17に示されているようなデバイスの製造過程を示した図の一つである。

【図20】図16及び図17に示されているようなデバイスの製造過程を示した図の一つである。

【図21】図16及び図17に示されているようなデバイスの製造過程を示した図の一つである。

【図22】本発明による金属ストラップを含むクローズドセルラテラルデバイスの断面図である。

【図23】図22に示したデバイスと似たデバイスの上面図である。

【図24】図22及び図23に示したクローズドセルラテラルデバイスの詳細を示した図の一つである。

【図25】図22及び図23に示したクローズドセルラテラルデバイスの詳細を示した図の一つである。

【図26】図22及び図23に示したクローズドセルラテラルデバイスの詳細を示した図の一つである。

【図27】図22及び図23に示されているようなデバイスの製造過程を示した図の一つである。

【図28】図22及び図23に示されているようなデバイスの製造過程を示した図の一つである。

【図29】図22及び図23に示されているようなデバイスの製造過程を示した図の一つである。

【図30】図22及び図23に示されているようなデバイスの製造過程を示した図の一つである。

【図31】図22及び図23に示したデバイスと似たデバイスの断面図であるが、各ウェルの中により多くのセルが含まれている点が異なる。

【図32】本発明の金属ストラップを含む従来のNMOSデバイスを示した図である。

【図33】図32に似ているが、Nドリフト領域がデバイスの各セル内のN+領域に近接して形成されている点が異なるデバイスを示した図である。

【図34】ソースセルの各々においてソースとボディが短絡されているパワーNMOSデバイスを示した図である。

【図35】二重拡散されたPボディ領域とNドリフト領域とを含むラテラルデバイスを図示している。

【図36】図16に示した準バッチカルデバイスと等価なラテラルデバイスを図示している。

【図37】グラウンド及び電圧供給(VDD)バス上に形成された金属ストラップを含むノンパワーICを示した図である。

【図38】比較的幅の広い、サドル形に形成された金属ストラップの断面図である。

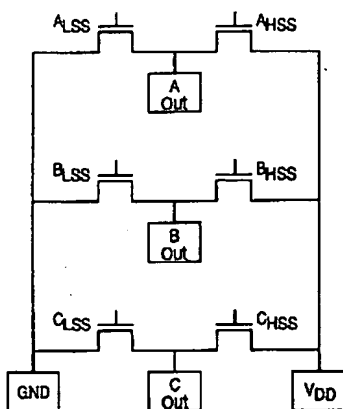
【図39】セグメント化された金属ストラップを示した

図である。

【符号の説明】

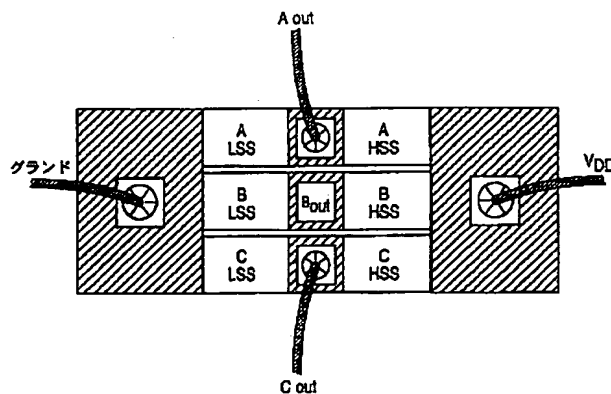
1d~5d スクエア
1s~5s スクエア
60 導電性金属層
60A~60F 導電性ライン
60G バス
60H バス
61 金属ストラップ層
61A、61D 金属ストラップ
61Aa、61Ab ストラップ61Aの側縁
62、63 ワイヤ
62B、63B ボンディング位置
64 シリコン基板
65 酸化膜
66 パッシベーション層
67 ニッケル層
68 亜鉛層
69 金の層
70 第1金属層
70A~70G 導電性ライン
71 第2金属層
71A、71B バス
72 金属ストラップ層
73A~73F Pボディ領域
74A~74D ゲート
75 ドレイン金属ストラップ
76A、76B 第2金属バス
77A、77B 第1金属バス
78 ソース金属ストラップ
79 パッシベーション層
80 P基板 (P-sub)
81 P埋込み層

【図1】

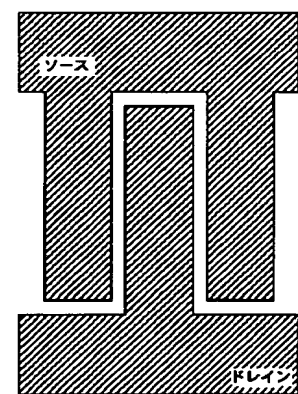


82 P隔離領域 (Piso)
83 ゲート酸化膜
84 ポリシリコンゲート
85A、85B Pボディ領域
100A~100F 導電性ライン
101A ドレインバス
101B ソースバス
102A、102B 金属ストラップ
110 P基板
10 111 Pエピタキシャル層
112 N埋込み層
113 Nウェル
114 Pウェル
115A~115D LOCOS酸化領域
116A~116D ゲート
117A N+コンタクト領域
117B P+コンタクト領域
118A~118G バス
119A、119B バス
20 120A~120D 金属ストラップ
121A~121D バス
140 グランドバス
ALSS、BLSS、CLSS、AHSS、BHSS、CHSS MOSFET
Aout、Bout、Cout 出力パッド
D ドレインフィンガ
MA~MF MOSFET
Rwire ボンディングワイヤ抵抗
Rmetal メタルフィンガ抵抗
30 S ソースフィンガ
Vsource ソースフィンガS上の電圧
Vdrain ドレインフィンガD上の電圧
VDD 端子電圧 (供給電圧)

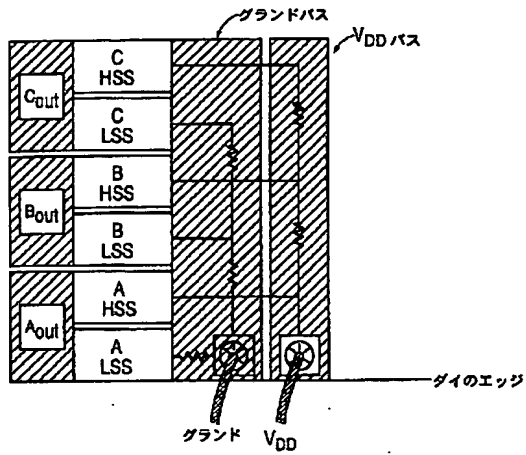
【図2】



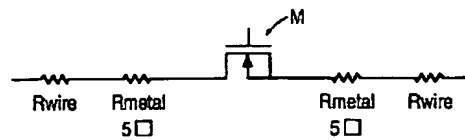
【図12】



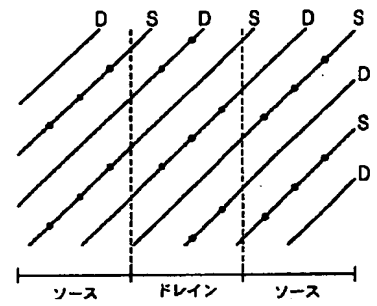
【図3】



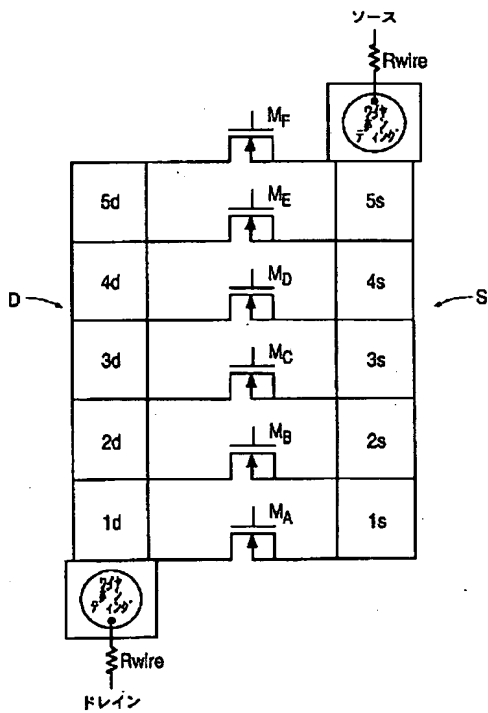
【図4】



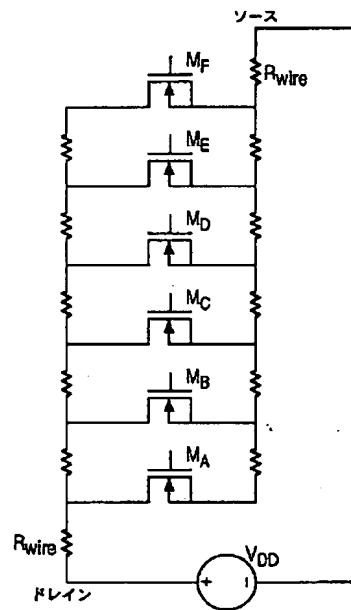
【図11】



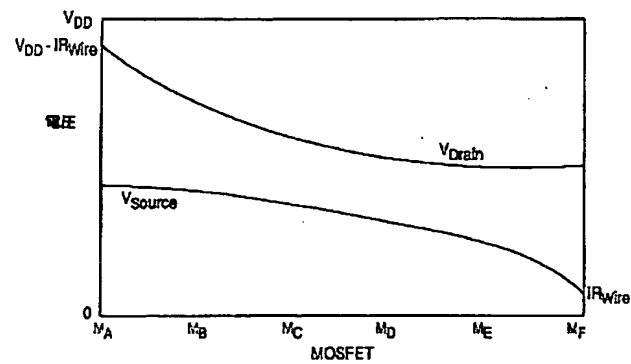
【図5】



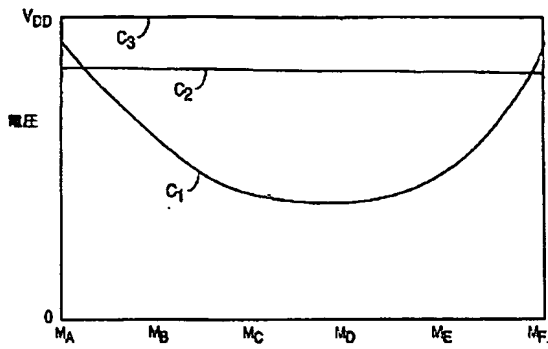
【図6】



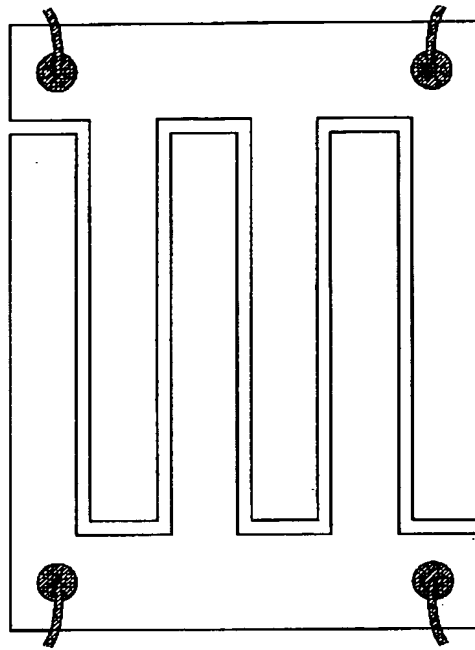
【図7】



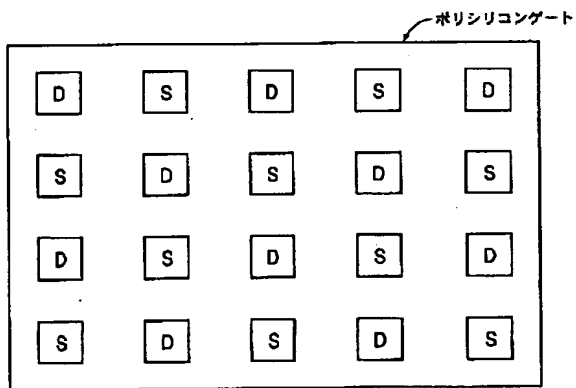
【図8】



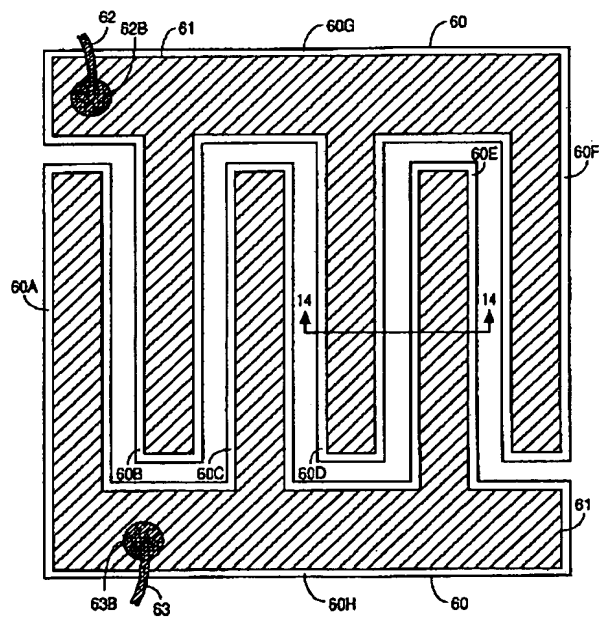
【図9】



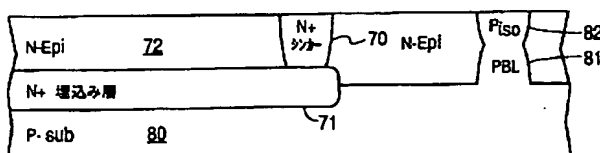
【図10】



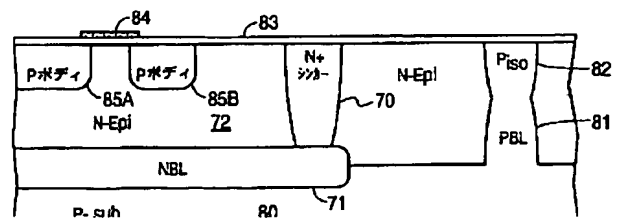
【図13】



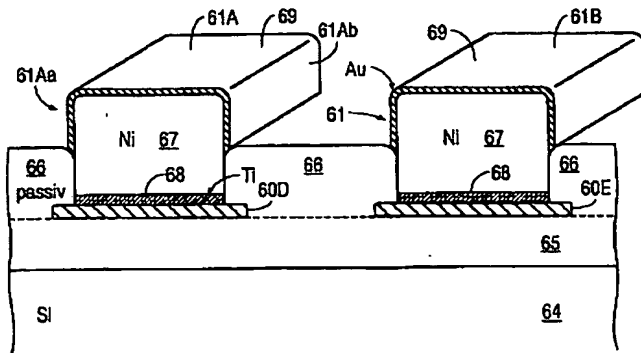
【図18】



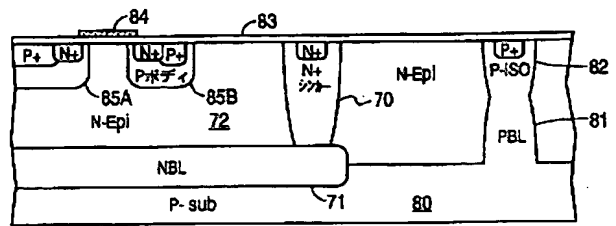
【図19】



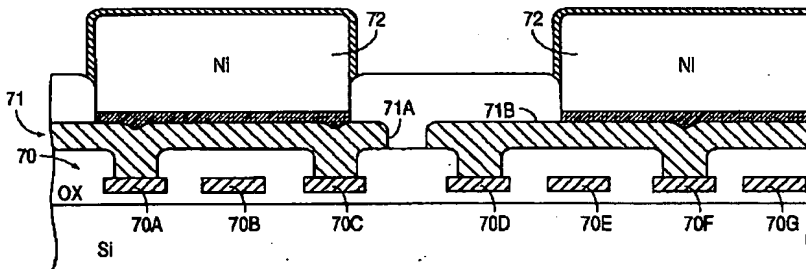
【図14】



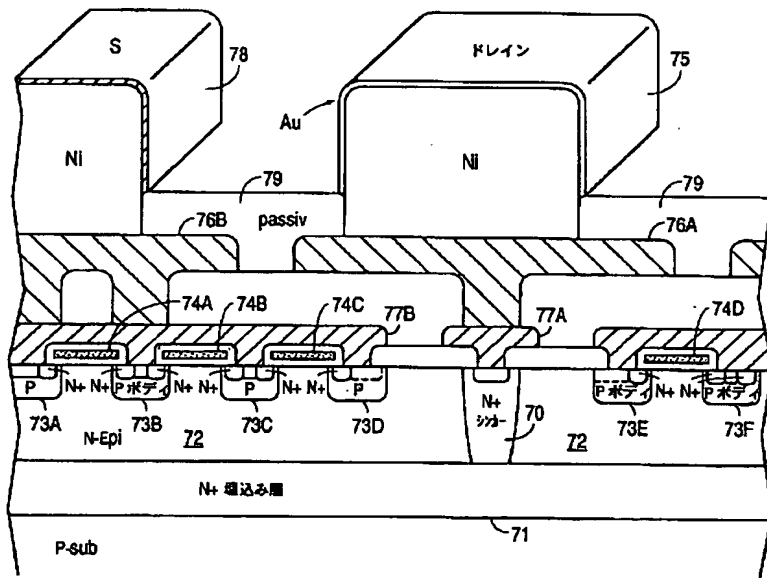
【図20】



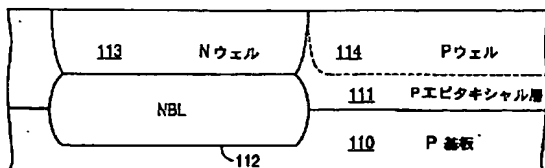
【図15】



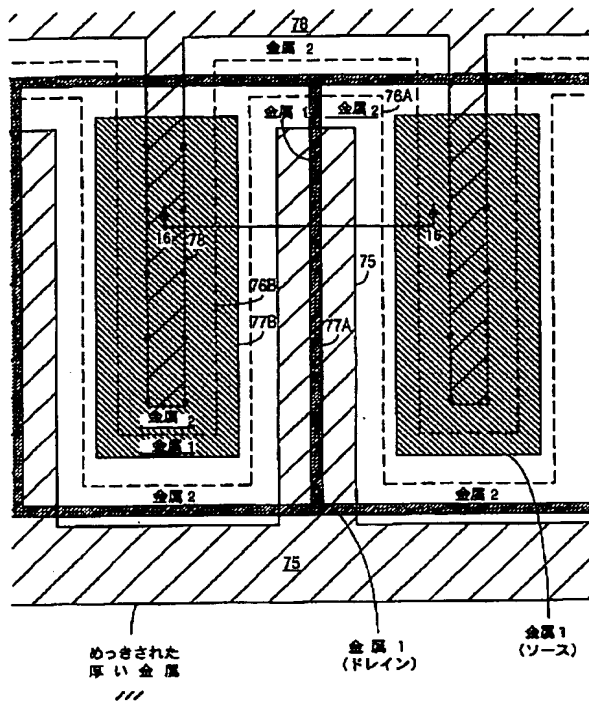
【図16】



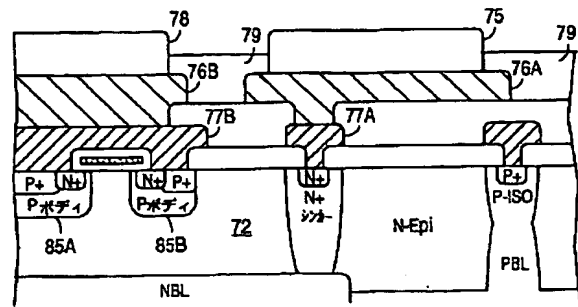
【図27】



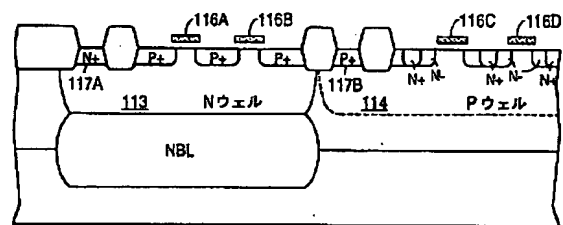
【図17】



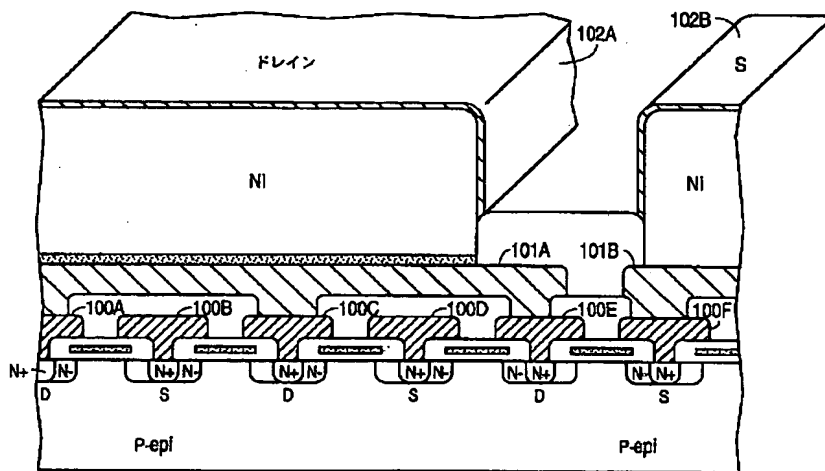
【図21】



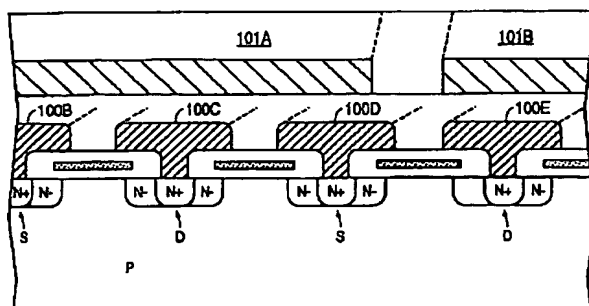
【図29】



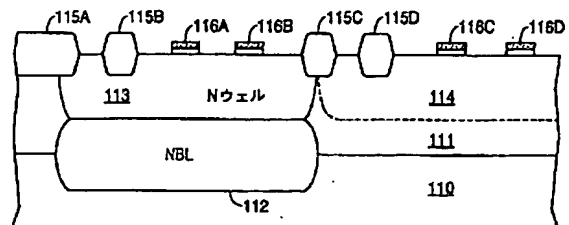
【図22】



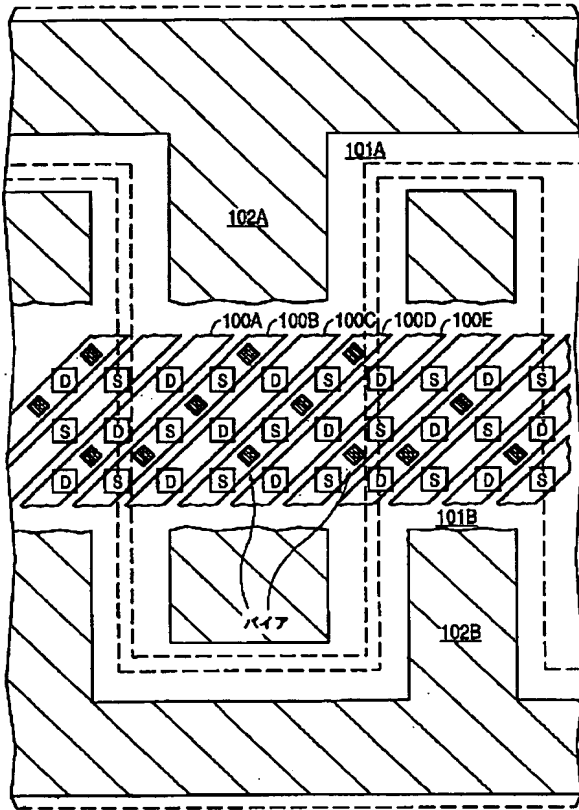
【図25】



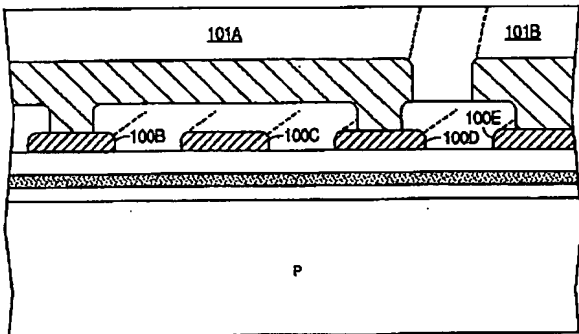
【図28】



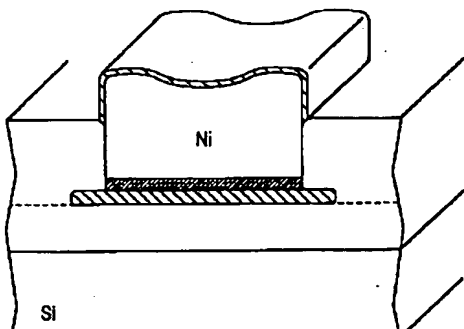
【図23】



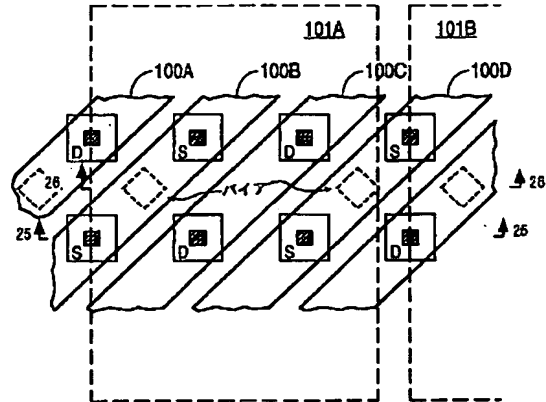
【図26】



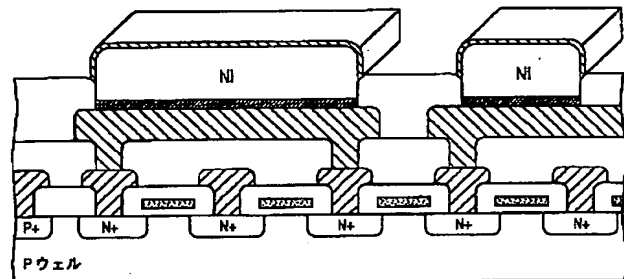
【図38】



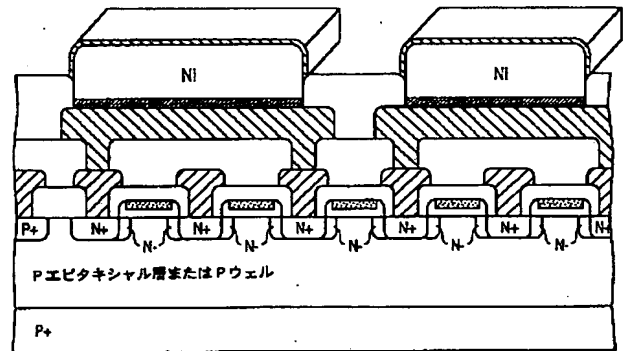
【図24】



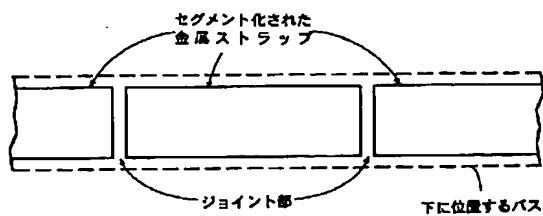
【図32】



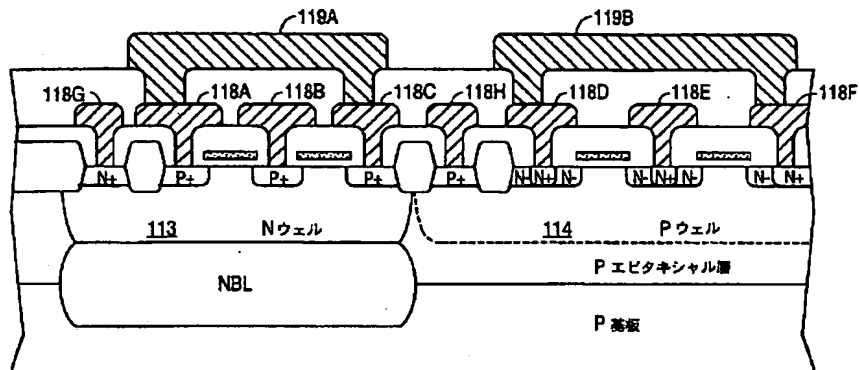
【図33】



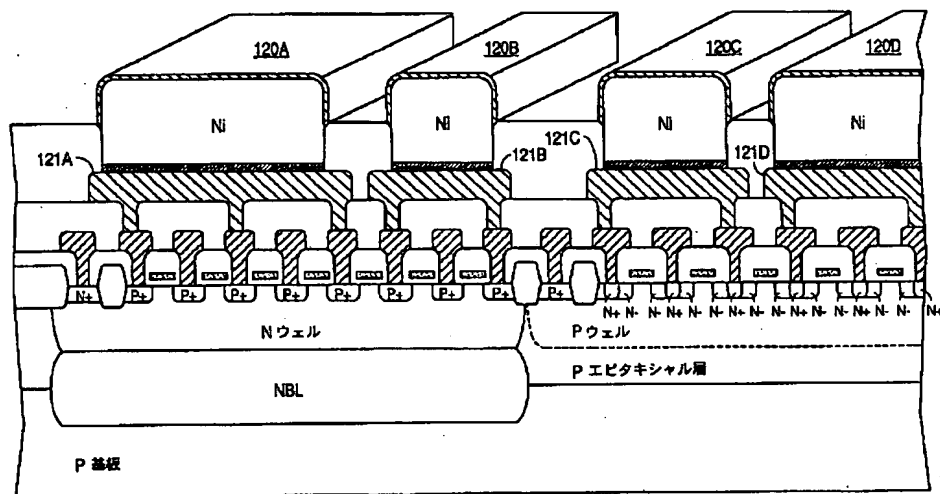
【図39】



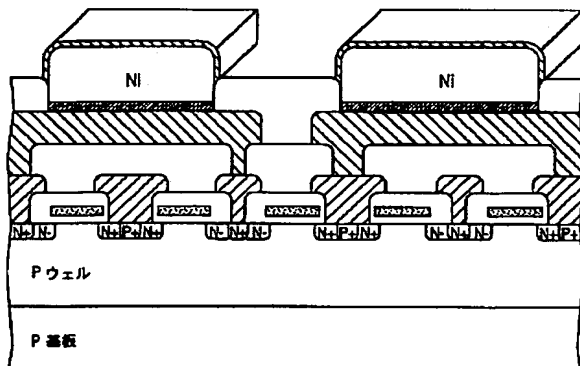
【図30】



【図31】



【図34】



【図37】

